

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-64323

(43)公開日 平成9年(1997)3月7日

(51) Int.Cl.⁶

識別記号

庁内整理番号

FI

技術表示箇所

H0 1 L 27/12

H O 1 L 27/12

E

21/265

21/265

J

21/762

21/76

D

審査請求 未請求 請求項の数 2 F D (全 5 頁)

(21)出願番号

特願平7-242388

(22) 出題日

平成7年(1995)8月29日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 池田 直史

東京都品川区北品川6丁目7番35号 ソニ

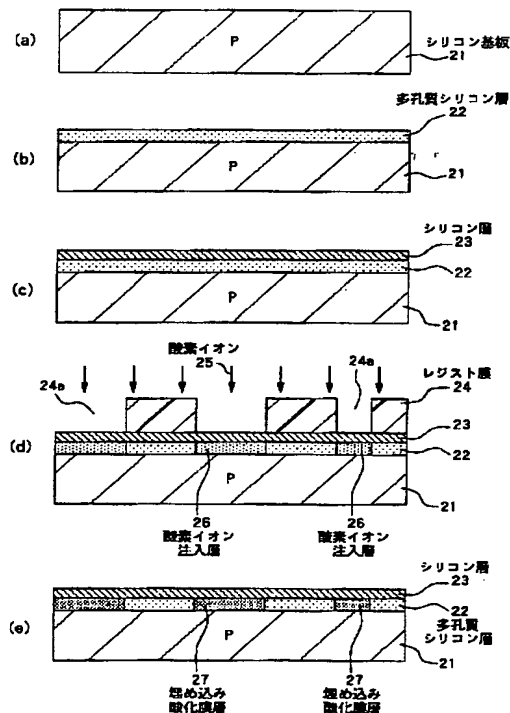
一株式会社内

(54) 【発明の名称】 半導体基板の製造方法

(57) 【要約】

【課題】 半導体基板内に埋め込み酸化膜層を形成しても、酸化反応による体積の増大を生じることがなく、ストレスによる結晶欠陥や基板表面に凸凹部を生ずることがないようにする。

【解決手段】 シリコン基板 21 上に陽極化成により多孔質シリコン層 22 を形成し、この多孔質シリコン層 22 上にシリコンをエピタキシャル成長させることにより単結晶シリコン層 23 を形成する。続いて、シリコン基板 21 上に、開口 24 a を有するレジスト膜 24 を形成し、このレジスト膜 24 をマスクとし、単結晶シリコン層 23 を通して酸素イオン 25 の注入を行い、多孔質シリコン層 22 内に複数の酸素イオン注入層 26 を形成する。次に、レジスト膜 24 を除去した後、熱処理を施す。これによりイオン注入された酸素とシリコンとが反応し、シリコン基板 21 内に複数の埋め込み酸化膜層（シリコン酸化膜層）27 が選択的に形成される。



【特許請求の範囲】

【請求項1】 半導体基板内に酸素イオンを注入した後、熱処理を行うことにより前記半導体基板内に埋め込み酸化層を形成する半導体基板の製造方法であって、前記半導体基板の表面に多孔質シリコン層を形成する工程と、前記多孔質シリコン層上に単結晶シリコン層を形成する工程と、前記単結晶シリコン層を形成した後に、前記単結晶シリコン層を通して多孔質シリコン層に酸素イオンを注入し、続いて熱処理を施すことにより前記多孔質シリコン層を酸化させて埋め込み酸化層を形成する工程とを含むことを特徴とする半導体基板の製造方法。

【請求項2】 前記多孔質シリコン層上に単結晶シリコン層を形成した後、この単結晶シリコン層上に部分的に開口を有する耐イオン膜を形成し、この耐イオン膜をマスクとして酸素イオンの注入を行い、続いて熱処理を施すことにより、半導体基板内に埋め込み酸化層を選択的に形成することを特徴とする請求項1記載の半導体基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、内部に埋め込み酸化膜を有する半導体基板の製造方法に関する。

【0002】

【従来の技術】半導体デバイスの性能向上およびデバイスの高密度化を達成させるための3次元構造を実現するためには、SOI (Silicon On Insulator) 技術が基本となる。このSOI技術として、絶縁基板(サファイア)上にシリコンをエピタキシャル成長させる方法と共に、半導体基板(シリコンウェハ)上に絶縁膜を形成し、この絶縁膜上にシリコンの単結晶を成長させる方法がある。

【0003】従来、このシリコンウェハ上に絶縁膜を形成する技術として、シリコン基板に酸素イオンを注入して熱処理を行い反応させることにより、絶縁膜層(埋め込み酸化膜層)を形成する方法がある。

【0004】図3(a)～(c)を参照して、従来のSOI基板の製造方法を工程順に説明する。まず、図3(a)に示したようなシリコン基板(シリコンウェハ)1を用意する。そして、図3(b)に示したように、このシリコン基板1の所定の深さの領域に酸素イオン2の注入を行い、酸素イオン注入層3を形成する。酸素イオン2の注入量は、例えば $10^{18}/\text{cm}^2$ 、注入深さは100nm程度とする。次に、例えば1200～1350℃の熱処理を施して、イオン注入された酸素とシリコンを反応させることにより、図3(c)に示したようにシリコン基板1とシリコン層4との間に挟まれた埋め込み酸化膜層(シリコン酸化膜層)3aを形成する。

【0005】上述の方法は、所謂、SIMOX (Separa-

tion by IMplantated OXygen) 法と称されるものであり、イオン注入工程と熱処理工程とを交互に繰り返すことにより、埋め込み酸化膜層3aの上のシリコン層4の結晶性を良好に保つことができる。

【0006】

【発明が解決しようとする課題】しかしながら、従来の方法では、熱処理工程において、イオン注入された酸素とシリコンとの反応により、反応したシリコンの体積の約2倍の大きさの酸化膜が形成されることとなり、そのため埋め込み酸化膜層3a周辺のシリコンがストレスを受けることとなる。そのため、シリコン基板1内では結晶欠陥を引き起こし、接合リークなどの増大につながるという問題があった。

【0007】また、このSIMOX法の応用として、シリコン基板1の一部にのみ選択的に埋め込み酸化膜層を形成する要求が生じることがある。例えば、トランジスタのゲート電極直下のみに埋め込み酸化膜層を形成することにより、短チャネル効果に強く、SOI並みのS値を有する素子を形成することができる。あるいは、ソース領域およびドレイン領域の直下のみに埋め込み酸化膜層を形成することにより、接合容量を大幅に低減させることができる。また、DRAM (Dynamic Random Access Memory) などのメモリセル部のみにSOI技術を用いることにより、セルトランジスタの接合リークを減らし、保持特性の改善を図ることが可能になる。

【0008】このような部分的な埋め込み酸化膜層は、図4(a)～(c)に示した方法で形成することができる。まず、図4(a)に示したようなシリコン基板1を用意し、図4(b)に示したように、シリコン基板1上に、埋め込み酸化膜層形成予定領域に対応して開口5aを有するレジスト膜5を形成する。続いて、このレジスト膜5をマスクとして酸素イオン2の注入を行い、所定の深さの領域に複数の酸素イオン注入層3を選択的に形成する。以下、レジスト膜5を除去した後、前述の方法と同様に、熱処理を施して、イオン注入された酸素とシリコンとを反応させることにより、図4(c)に示したような複数の埋め込み酸化膜層(シリコン酸化膜層)3aを形成することができる。

【0009】このような方法により部分的な埋め込み酸化膜層を容易に形成することができるが、この方法においても、熱処理を加える工程において、シリコンが酸化する際にその体積が大きくなり、そのため複数の埋め込み酸化膜層3aの周辺のシリコンがストレスを受けることとなる。そのため、シリコン基板1内では結晶欠陥を引き起こし、接合リークなどの増大につながるという問題があった。更に、この方法では、図4(c)に示したように、シリコン基板1の表面に凸凹部6が生じ、後工程のデバイス形成に支障をきたすという問題があった。

【0010】本発明はかかる問題点に鑑みてなされたもので、その課題は、半導体基板内に埋め込み酸化膜層を

形成しても、全体的に見て酸化反応による体積の増大を生じることがなく、ストレスによる結晶欠陥や表面の凸凹を生ずることのない半導体基板の製造方法を提供することにある。

【0011】

【課題を解決するための手段】請求項1記載の発明は、半導体基板内に酸素イオンを注入した後、熱処理を行うことにより前記半導体基板内に埋め込み酸化層を形成する半導体基板の製造方法であって、前記半導体基板の表面に多孔質シリコン層を形成する工程と、前記多孔質シリコン層上に単結晶シリコン層を形成する工程と、前記単結晶シリコン層を通して多孔質シリコン層に酸素イオンを注入し、続いて熱処理を施すことにより前記多孔質シリコン層を酸化させて埋め込み酸化層を形成する工程とを含むものである。

【0012】請求項2記載の発明は、請求項1記載の製造方法において、前記多孔質シリコン層上に単結晶シリコン層を形成した後、この単結晶シリコン層上に部分的に開口を有する耐イオン膜を形成し、この耐イオン膜をマスクとして酸素イオンの注入を行い、続いて熱処理を施すことにより、半導体基板内に埋め込み酸化層を選択的に形成するようにしたものである。

【0013】本発明の半導体基板の製造方法では、半導体基板の表面に多孔質シリコン層を形成し、この多孔質シリコン層上に単結晶シリコン層を形成した後、単結晶シリコン層を通しての酸素イオンの注入および熱処理を行ない埋め込み酸化層を形成するので、熱処理工程において、多孔質シリコンの酸化反応により増加した体積分は多孔質シリコン内の空間で費やされる。

【0014】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。

【0015】第1の実施の形態

【0016】図1(a)～(e)は本発明の第1の実施の形態に係る半導体基板の製造工程を表すものである。まず、図1(a)に示したように、P型の半導体基板、例えばシリコン基板(シリコンウェハ)11を用意する。そして、図1(b)に示したように、シリコン基板11を、例えば、 $\text{HF}(50\text{wt}\%):\text{C}_2\text{H}_5\text{OH}(99.5\%)=1:1$ の混合溶液中において、電流密度 $10\sim 80\text{mA}/\text{cm}^2$ の条件で、陽極化成することにより、シリコン基板11の表面に所望の厚さ(100nm～)の多孔質シリコン層12を形成する。

【0017】次に、図1(c)に示したように、多孔質シリコン層12上にシリコンをエピタキシャル成長させ、厚さが、例えば100nm程度の単結晶シリコン層13を形成する。続いて、図1(d)に示したように、この単結晶シリコン層13を通して酸素イオン14を注入し、シリコン基板11内の多孔質シリコン層12に酸

素イオン注入層15を形成する。なお、この方法では、シリコンと酸素の体積比が1:2となる場合が、後述の体積の変動が一番少なくなるため、この比になるように酸素のイオン注入量を最適化する必要がある。ここでは、イオン注入量を例えば $10^{18}/\text{cm}^2$ オーダーとすればよい。

【0018】次に、図1(e)に示したように、温度 $1200\sim 1350^\circ\text{C}$ 程度の熱処理を施して、酸素イオン注入層15内に注入された酸素とシリコンとを反応させることにより、シリコン基板11内に埋め込み酸化膜層(シリコン酸化膜層)16を形成する。このようなイオン注入工程と熱処理工程とを交互に繰り返すことにより、埋め込み酸化膜層16の上の単結晶シリコン層13の結晶性を良好に保つことができる。

【0019】このように本実施の形態では、シリコン基板11の表面に多孔質シリコン層12を形成し、この多孔質シリコン層12上に単結晶シリコン層13を形成した後、酸素イオンの注入および熱処理を行い、埋め込み酸化膜層16を形成するようにしたので、酸化反応により増加したシリコンの体積分は多孔質シリコン層12内の空間で費やされる。このため、全体的に見て、埋め込み酸化膜16の周辺では酸化反応によって体積が増大することがなく、周辺のシリコンにストレスが生じることがなくなる。従って、従来のように結晶欠陥を引き起こし、接合リークが増大するということがなくなる。また、本実施の形態による方法では、従来方法に比べて、多孔質シリコンの酸化速度が速いため、熱処理時間が短縮されると共に、熱処理温度の低温化を図ることができる。

【0020】第2の実施の形態

【0021】次に、本発明の第2の実施の形態を図2(a)～(e)により説明する。

【0022】まず、図2(a)に示したように、P型の半導体基板、例えばシリコン基板(シリコンウェハ)21を用意する。そして、図2(b)に示したように、シリコン基板21を、例えば、 $\text{HF}(50\text{wt}\%):\text{C}_2\text{H}_5\text{OH}(99.5\%)=1:1$ の混合溶液中において、電流密度 $10\sim 80\text{mA}/\text{cm}^2$ の条件で、陽極化成することにより、シリコン基板21の表面に所望の厚さ(100nm～)の多孔質シリコン層22を形成する。続いて、図2(c)に示したように、多孔質シリコン層22上にシリコンをエピタキシャル成長させ、厚さが、例えば100nm程度の単結晶シリコン層23を形成する。ここまでの工程は図1(a)～(c)の工程と同様である。

【0023】本実施の形態では、次に、図2(d)に示したように、シリコン基板21上に、埋め込み酸化膜層形成予定領域に対応して開口24aを有するレジスト膜24を形成する。続いて、このレジスト膜24をマスクとし、単結晶シリコン層23を通して酸素イオン25の

注入を行い、多孔質シリコン層12に複数の酸素イオン注入層26を選択的に形成する。

【0024】次に、図2(e)に示したように、レジスト膜24を除去した後、温度1200～1350℃程度の熱処理を施して、酸素イオン注入層26内に注入された酸素とシリコンとを反応させることにより、シリコン基板11内に複数の埋め込み酸化膜層(シリコン酸化膜層)27を選択的に形成する。この方法においても、イオン注入工程と熱処理工程とを交互に繰り返すことにより、埋め込み酸化膜層27の上の単結晶シリコン層23の結晶性を良好に保つことができる。

【0025】このように本実施の形態では、シリコン基板21の表面に多孔質シリコン層22を形成し、この多孔質シリコン層22上に単結晶シリコン層23を形成した後に、酸素イオンの注入を選択的にを行い、その後熱処理を行うことにより複数の埋め込み酸化膜層27を形成するようにしたので、第1の実施の形態と同様に、酸化反応により増加したシリコンの体積分は多孔質シリコン層22内の空間で費やされる。このため、全体的に見て、複数の埋め込み酸化膜27各々の周辺には酸化反応による体積増大が生じることがなく、周辺のシリコンにストレスが生じることがなくなる。また、多孔質シリコンの酸化速度が速いため、従来方法に比べて、熱処理時間が短縮されると共に熱処理温度の低温化を図ることができる。

【0026】また、本実施の形態では、シリコン基板21の表面は、図2(e)に示したように平坦であり、従来のように凸凹部が生じることがなくなる。従って、部分的な埋め込み酸化膜27によるSOIとバルクの両方の欠点を補ったトランジスタの形成、あるいは、SOIとバルク混載の素子を形成することができる。

【0027】なお、上記実施の形態においては、半導体基板としてP型のシリコン基板11、21を用いて説明したが、N型の半導体基板を用いるようにしてもよい。但し、陽極化成法により多孔質シリコン膜を形成するためにはホール(正孔)が必要とされるため、N型の半導体基板を用いる場合には、例えば光照射によりホールを補給する等の手段が必要となる。

【0028】

【発明の効果】以上説明したように請求項1記載の半導体基板の製造方法によれば、半導体基板の表面に多孔質シリコン層を形成し、更に、この多孔質シリコン層上にシリコン層を形成した後に、シリコン層を通しての酸素イオンの注入および熱処理を行なうことにより埋め込み酸化層を形成するようにしたので、半導体基板の埋め込み酸化膜層周辺の結晶にストレスがかかることがなくなる。従って、半導体基板の結晶性を損なうようなことがなくなり、接合リークなどの増大を防止することができる。

【0029】また、請求項2記載の半導体基板の製造方法によれば、多孔質シリコン層上にシリコン層を形成し、このシリコン層上に部分的に開口を有する耐イオン膜を形成した後、この耐イオン膜をマスクとし、シリコン層を通して酸素イオンの注入を行い、続いて熱処理を施すことにより、複数の埋め込み酸化層を選択的に形成するようにしたので、半導体基板の結晶性を損なうようなことがなくなり、接合リークなどの増大を防止することができると共に、基板の表面に凹凸部が発生する虞れがなくなり、後工程のデバイス形成工程において支障がなくなる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態による製造工程を説明するための断面図である。

【図2】本発明の第2の実施の形態による製造工程を説明するための断面図である。

【図3】従来法の製造工程を説明するための断面図である。

【図4】従来法の他の製造工程を説明するための断面図である。

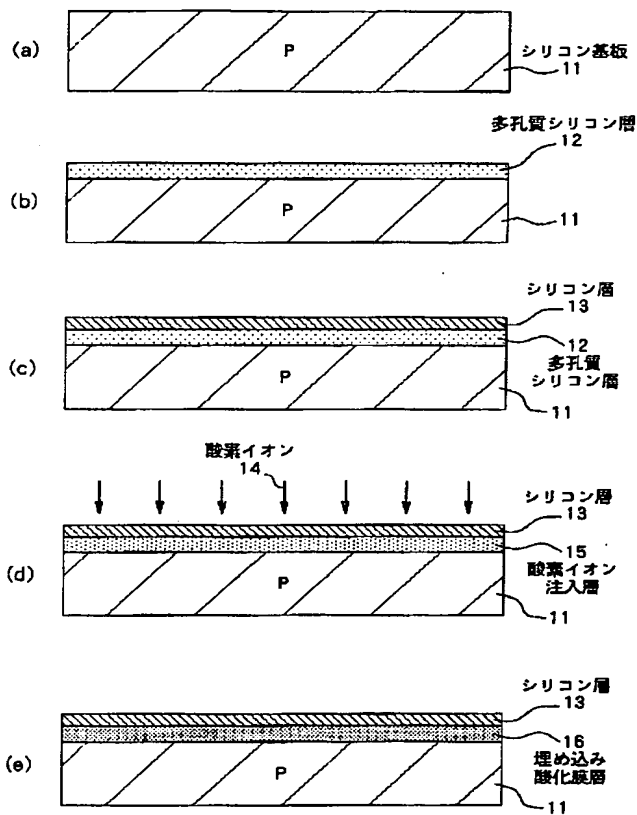
【符号の説明】

- 11, 21 半導体基板
- 12, 22 多孔質シリコン層
- 13, 23 シリコン層(エピタキシャル層)
- 14, 25 酸素イオン
- 15, 26 酸素イオン注入層
- 16, 27 埋め込み酸化膜層
- 24 レジスト膜(耐イオン膜)

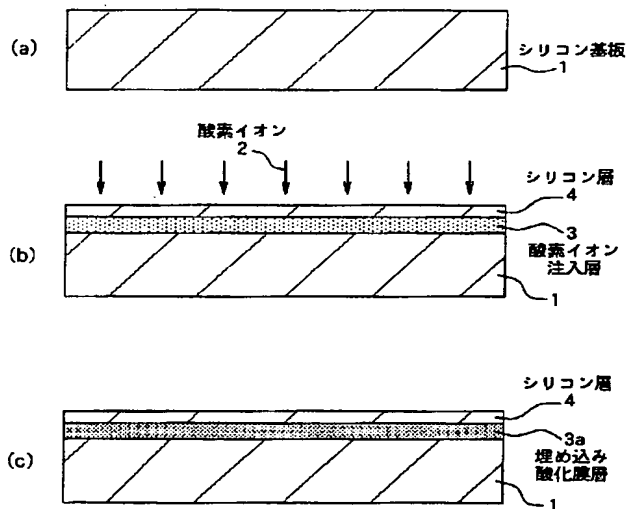
BEST AVAILABLE COPY

【図1】

【図2】



【図3】



【図4】

